

⑫ 公開特許公報(A) 平3-239360

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月24日

H 01 L 27/092

7735-5F

H 01 L 27/08

3 2 1 D

審査請求 未請求 請求項の数 1 (全9頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 平2-36650

⑯ 出 願 平2(1990)2月17日

⑰ 発 明 者 白 土 猛 英 神奈川県平塚市浅間町6番26号

⑱ 出 願 人 白 土 猛 英 神奈川県平塚市浅間町6番26号

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

一導電型半導体基板と、前記半導体基板に互いに離間して配設された反対導電型の第1及び第2の不純物ウエル領域と、前記第1あるいは第2の不純物ウエル領域のいずれか一方の側面及び底面に沿って配設された前記半導体基板より高濃度の一導電型不純物領域と、前記第1及び第2の不純物ウエル領域に互いに異なる電圧を印加した配線体と、前記第1及び第2の不純物ウエル領域に設けられた互いに異なる電圧で駆動する素子とを備えてなることを特徴とする半導体装置。

3. 発明の詳細な説明

〔概要〕

一導電型半導体基板に互いに離間して形成され、異なる電圧が印加される2つの反対導電型不純

物ウエル領域が、低い電圧が印加される不純物ウエル領域には側面及び底面に沿って半導体基板より高濃度の一導電型不純物領域を設けて形成され、高い電圧が印加される不純物ウエル領域は低濃度の半導体基板に形成される、あるいは高い電圧が印加される不純物ウエル領域には側面及び底面に沿って半導体基板より高濃度の一導電型不純物領域を設けて形成され、低い電圧が印加される不純物ウエル領域は低濃度の半導体基板に形成されており、且つ低い電圧が印加される不純物ウエル領域には低い電圧で駆動する素子が、高い電圧が印加される不純物ウエル領域には高い電圧で駆動する素子が、それぞれ設けられている構造に形成されているため、異なる電圧が印加される2つの不純物ウエル領域間のリーク及びパンチスルーを抑制することによる高性能化を、一方の不純物ウエル領域の側面及び底面に沿って設けられる半導体基板より高濃度の一導電型不純物領域をセルフアラインに、微細に形成することによる高集積化を、さらに低い電圧が印加される不純物ウエ

ル領域側に高濃度の一導電型不純物領域を設ける場合には、高い電圧が印加される不純物ウエル領域の耐圧を上昇させることができることによる高性能化を、あるいは高い電圧が印加される不純物ウエル領域側に高濃度の一導電型不純物領域を設ける場合には、低い電圧が印加される不純物ウエル領域に形成される素子の接合容量を減少させることができることによる高速化を可能とした半導体装置。

[産業上の利用分野]

本発明はMIS及びBi-MIS型半導体装置に係り、特に、低電圧及び高電圧駆動部を内蔵した高集積な半導体集積回路の形成を可能とした半導体装置に関する。

従来、低い電圧が印加される不純物ウエル領域と高い電圧が印加される不純物ウエル領域間のリークを防止するためには、両不純物ウエル領域間に不純物ウエル領域とは反対の導電型を有する不純物領域を形成していた。しかし、集積度が極め

て高くなりつつある今日においては、半導体基板表面のリークは防止できても、半導体基板の内部において生じるパンチスルーを防止することができないため、両不純物ウエル領域間を微細に形成することができないので、高集積化への妨げになるという問題が顕著になってきている。そこで、異なる電圧が印加される2つの不純物ウエル領域間のリーク及びパンチスルーを抑制した高集積な半導体装置を実現できる手段が要望されている。

[従来の技術]

第4図は従来の半導体装置の模式側断面図で、51はp型シリコン(Si)基板、52aは低電圧駆動部のn型不純物ウエル領域、52bは高電圧駆動部のn型不純物ウエル領域、53aは低電圧駆動部のn+型チャネルストッパ領域、53bは高電圧駆動部のn+型チャネルストッパ領域、54はp型不純物領域、55aは低電圧駆動部のp+型ソースドレイン領域、55bは高電圧駆動部のp+型ソースドレイン領域、56はp型オフセット領域、57a

3

は低電圧駆動部のn+型不純物ウエルコンタクト領域、57bは高電圧駆動部のn+型不純物ウエルコンタクト領域、58はフィールド酸化膜、59aは低電圧駆動部のゲート酸化膜、59bは高電圧駆動部のゲート酸化膜、60aは低電圧駆動部のゲート電極、60bは高電圧駆動部のゲート電極、61は不純物ブロック用酸化膜、62は磷珪酸ガラス(PSG)膜、63はAl配線を示している。

同図においては、p型シリコン基板51に選択的に、低電圧駆動部のn型不純物ウエル領域52a及び高電圧駆動部のn型不純物ウエル領域52bが設けられ、低電圧駆動部のn型不純物ウエル領域52aには、n+型不純物ウエルコンタクト領域57aを介して低電圧を印加するAl配線63及び低電圧で駆動するMIS電界効果トランジスタが、高電圧駆動部のn型不純物ウエル領域52bには、n+型不純物ウエルコンタクト領域57bを介して高電圧を印加するAl配線63及び高電圧で駆動するMIS電界効果トランジスタが、それぞれ形成されている。低電圧駆動部のn型不純物ウエル領域

4

52aと高電圧駆動部のn型不純物ウエル領域52bとの間にはリーク防止用のp型不純物領域54が形成されている。p型不純物領域54を位置合せ余裕を含んで形成しなくてはならないため及び半導体基板表面に生じるリークは防止できるが、半導体基板内部でおこるパンチスルーを抑制できないため、異なる電圧が印加されるn型不純物ウエル領域間を微細に形成することができないという問題があった。

[発明が解決しようとする問題点]

本発明が解決しようとする問題点は、従来例に示されるように、異なる電圧が印加される半導体基板と反対導電型の不純物ウエル領域において、両不純物ウエル領域間の半導体基板表面のリーク及び内部のパンチスルーを抑制した微細な境界領域を形成できなかったことである。

[問題点を解決するための手段]

上記問題点は、一導電型半導体基板と、前記半

5

6

導体基板に互いに離間して配設された反対導電型の第1及び第2の不純物ウエル領域と、前記第1あるいは第2の不純物ウエル領域のいずれか一方の側面及び底面に沿って配設された前記半導体基板より高濃度の一導電型不純物領域と、前記第1及び第2の不純物ウエル領域に互いに異なる電圧を印加した配線体と、前記第1及び第2の不純物ウエル領域に設けられた互いに異なる電圧で駆動する素子とを備えてなる本発明の半導体装置によって解決される。

[作 用]

即ち本発明の半導体装置においては、一導電型半導体基板に互いに離間して形成され、異なる電圧が印加される2つの反対導電型不純物ウエル領域が、低い電圧が印加される不純物ウエル領域には側面及び底面に沿って半導体基板より高濃度の一導電型不純物領域を設けて形成され、高い電圧が印加される不純物ウエル領域は低濃度の半導体基板に形成される、あるいは高い電圧が印加され

る不純物ウエル領域には側面及び底面に沿って半導体基板より高濃度の一導電型不純物領域を設けて形成され、低い電圧が印加される不純物ウエル領域は低濃度の半導体基板に形成されており、且つ低い電圧が印加される不純物ウエル領域には低い電圧で駆動する素子が、高い電圧が印加される不純物ウエル領域には高い電圧で駆動する素子が、それぞれ設けられている構造に形成されている。したがって、異なる電圧が印加される2つの不純物ウエル領域間のリーク及びバンスルーを、一方の不純物ウエル領域の側面及び底面に沿って設けた半導体基板より高濃度の一導電型不純物領域により完全に抑制できることによる高性能化を、一方の不純物ウエル領域の側面及び底面に沿って設けられる高濃度の一導電型不純物領域を両不純物ウエル領域にセルフアラインに形成できることにより、不純物ウエル領域の境界領域を微細に形成できることによる高集積化を、さらに低い電圧が印加される不純物ウエル領域側に高濃度の一導電型不純物領域を設ける場合には、高い電圧が

印加される不純物ウエル領域に接触させずに高濃度の一導電型不純物領域を形成できるため、高い電圧が印加される不純物ウエル領域の耐圧を上昇させることができることによる高性能化を、あるいは高い電圧が印加される不純物ウエル領域側に高濃度の一導電型不純物領域を設ける場合には、低い電圧が印加される不純物ウエル領域を低濃度の半導体基板に形成できるため、不純物ウエル領域の濃度をより低減できるので、低い電圧で駆動される素子の接合容量を減少させることができることによる高速化を可能にすることもできる。即ち、極めて高性能、高集積且つ高速な半導体集積回路の形成を可能とした半導体装置を得ることができる。

[実施例]

以下本発明を、図示実施例により具体的に説明する。

第1図は本発明の半導体装置における第1の実施例の模式側断面図、第2図は本発明の半導体装

置における第2の実施例の模式側断面図、第3図(a)～(e)は本発明の半導体装置における製造方法の一実施例の工程断面図である。

全図を通じ同一対象物は同一符号で示す。

第1図はp型シリコン基板を用いた際の本発明の半導体装置における第1の実施例の模式側断面図で、1は 10^{15} cm^{-3} 程度のp型シリコン基板、2aは 10^{16} cm^{-3} 程度の低電圧駆動部のn型不純物ウエル領域、2bは 10^{16} cm^{-3} 程度の高電圧駆動部のn型不純物ウエル領域、3aは 10^{17} cm^{-3} 程度の低電圧駆動部のn+型チャネルストッパー領域、3bは 10^{17} cm^{-3} 程度の高電圧駆動部のn+型チャネルストッパー領域、4は 10^{16} cm^{-3} 程度のp型不純物領域、5aは 10^{20} cm^{-3} 程度の低電圧駆動部のp+型ソースドレイン領域、5bは 10^{20} cm^{-3} 程度の高電圧駆動部のp+型ソースドレイン領域、6は 10^{16} cm^{-3} 程度のp型オフセット領域、7aは 10^{20} cm^{-3} 程度の低電圧駆動部のn+型不純物ウエルコンタクト領域、7bは 10^{20} cm^{-3} 程度の高電圧駆動部のn+型不純物ウエルコンタクト領域、8は600 nm程度の

フィールド酸化膜、9aは15nm程度の低電圧駆動部のゲート酸化膜、9bは70nm程度の高電圧駆動部のゲート酸化膜、10aはゲート長1 μ m程度の低電圧駆動部のゲート電極、10bはゲート長3 μ m程度の高電圧駆動部のゲート電極、11は35nm程度の不純物ブロック用酸化膜、12は600 nm程度の燐珪酸ガラス(PSG)膜、13は1 μ m程度のAl配線を示している。

同図においては、p型シリコン基板1に選択的に、低電圧駆動部のn型不純物ウエル領域2a及び高電圧駆動部のn型不純物ウエル領域2bが設けられ、低電圧駆動部のn型不純物ウエル領域2aには、n+型不純物ウエルコンタクト領域7aを介して低電圧を印加するAl配線13及び低電圧で駆動するMIS電界効果トランジスタが、高電圧駆動部のn型不純物ウエル領域2bには、n+型不純物ウエルコンタクト領域7bを介して高電圧を印加するAl配線13及び高電圧で駆動するMIS電界効果トランジスタが、それぞれ形成されている。又、低電圧駆動部のn型不純物ウエル領域2aには側面及

び底面に沿ってp型シリコン基板1より高濃度のp型不純物領域4がセルフアラインに形成され、高電圧駆動部のn型不純物ウエル領域2bはp型シリコン基板1に直接に形成されている。したがって、異なる電圧が印加される2つのn型不純物ウエル領域(2a、2b)間のリーク及びパンチスルーを、一方のn型不純物ウエル領域2aの側面及び底面に沿って設けたp型シリコン基板1より高濃度のp型不純物領域4により完全に抑制することによる高性能化を、一方のn型不純物ウエル領域2aの側面及び底面に沿って設けられる高濃度のp型不純物領域4を両n型不純物ウエル領域(2a、2b)にセルフアラインに形成できることにより、n型不純物ウエル領域(2a、2b)の境界領域を微細に形成できることによる高集積化を、さらに低い電圧が印加されるn型不純物ウエル領域2a側に高濃度のp型不純物領域4が設けられているため、高い電圧が印加されるn型不純物ウエル領域2bに接触させずに高濃度のp型不純物領域4を形成できるので、高い電圧が印加されるn型不

11

純物ウエル領域2bの耐圧を上昇させることができることによる高性能化をも可能にできる。

第2図は本発明の半導体装置における第2の実施例の模式側断面図で、1~13は第1図と同じ物を示している。

同図においては、高電圧駆動部のn型不純物ウエル領域2bには側面及び底面に沿ってp型シリコン基板1より高濃度のp型不純物領域4がセルフアラインに形成され、低電圧駆動部のn型不純物ウエル領域2aはp型シリコン基板1に直接に形成されている以外は第1図と同じ構造に形成されている。本実施例においては異なる電圧が印加される2つのn型不純物ウエル領域(2a、2b)間のリーク及びパンチスルーを防止した微細な境界領域を形成できる効果の他に、高い電圧が印加されるn型不純物ウエル領域2b側に高濃度のp型不純物領域4が設けられているため、低い電圧が印加されるn型不純物ウエル領域2aを低濃度のp型シリコン基板1に形成できるので、n型不純物ウエル領域2aの濃度をより低減できることになり

12

低い電圧で駆動される素子の接合容量を減少させることによる高速化を可能にすることもできる。

次いで本発明に係る半導体装置の製造方法の一実施例について第3図(a)~(e)及び第1図を参照して説明する。ただし、ここでは本発明の半導体装置の形成に関する製造方法のみを記述し、一般の半導体集積回路に搭載される各種の素子の形成に関する製造方法の記述は省略する。

第3図(a)

p型シリコン基板1に200 nm程度の酸化膜14を成長する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)をマスク層とし酸化膜14を選択的にエッチングする。次いでレジストを除去する。次いでイオン注入用の薄い酸化膜15(20nm程度)を成長する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)及び酸化膜14をマスク層として、硼素をイオン注入してp型不純物領域4を画定する。次いでレジストを除去する。次いで約1200°Cで30分程度の熱処理をおこない、p型不純物領域4を

13

14

やや深く形成する。

第3図(b)

次いで酸化膜14をマスク層として、燐をイオン注入してn型不純物ウエル領域(2a、2b)を画定する。次いで約1200℃で200分程度の熱処理をおこない、n型不純物ウエル領域(2a、2b)及びp型不純物領域4の深さを制御する。

第3図(c)

次いで30nm程度の下地酸化膜(図示せず)及び100 nm程度の窒化膜(図示せず)を成長する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)をマスク層として、窒化膜を選択的にエッチングする。次いでレジストを除去する。次いで不要の酸化膜14をエッチングする。次いでイオン注入用の薄い酸化膜(20nm程度)を成長する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)及び窒化膜をマスク層として、燐をイオン注入してn+型チャネルストップ領域(3a、3b)を画定する。次いでレジストを除去する。次いで通常の選択酸化

によるLOCOS技術を利用し、約900℃で酸化をおこない、700 nm程度のフィールド酸化膜8を成長する。次いで不要の窒化膜及び下地酸化膜をエッチング除去する。

第3図(d)

次いで第1のゲート酸化膜を成長する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)をマスク層として、選択的に第1のゲート酸化膜をエッチングする。次いでレジストを除去する。次いで第2のゲート酸化膜を成長する。(ここで低電圧駆動部のゲート酸化膜9aは15nm程度の第2のゲート酸化膜からなり、高電圧駆動部のゲート酸化膜9bは第1及び第2のゲート酸化膜を積層した70nm程度のゲート酸化膜からなる。)次いで不純物を含んだ300 nm程度の多結晶シリコン膜を化学気相成長法により成長する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)をマスク層として、選択的に多結晶シリコン膜をエッチングし、ゲート電極(10a、10b)を形成する。次いでレジストを

15

除去する。

第3図(e)

次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)、フィールド酸化膜8及びゲート電極(10a、10b)をマスク層として、硼素をイオン注入してp型オフセット領域を画定する。次いでレジストを除去する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)、フィールド酸化膜8及びゲート電極(10a、10b)をマスク層として、硼素をイオン注入してp+型ソースドレイン領域(5a、5b)を画定する。次いでレジストを除去する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)、及びフィールド酸化膜8をマスク層として、砒素をイオン注入してn+型不純物ウエルコンタクト領域(7a、7b)を画定する。次いでレジストを除去する。

第1図

次いで不要部のゲート酸化膜(9a、9b)をエッチング除去する。次いで通常の技法を適用するこ

16

とにより、不純物ブロック用酸化膜11及び燐珪酸ガラス(PSG)膜12の成長、高温熱処理による各不純物領域の活性化及び深さの制御、電極コンタクト窓の形成、Al配線13の形成等をおこなって半導体装置を完成する。

なお上記実施例においては、n+型チャネルストップ領域(3a、3b)及びn型不純物ウエル領域(2a、2b)をそれぞれ同時に形成しているが、それぞれに最適なドーズ量を選んで、別々に形成してもよい。

以上実施例に示したように、本発明の半導体装置によれば、異なる電圧が印加される2つの不純物ウエル領域間のリーク及びパンチスルーを、一方の不純物ウエル領域の側面及び底面に沿って設けた半導体基板より高濃度の一導電型不純物領域により完全に抑制できることによる高性能化を、一方の不純物ウエル領域の側面及び底面に沿って設けられる高濃度の一導電型不純物領域を両不純物ウエル領域にセルフアラインに形成できることにより、不純物ウエル領域の境界領域を微細に形

17

18

成できることによる高集積化を、さらに低い電圧が印加される不純物ウエル領域側に高濃度の一導電型不純物領域を設ける場合には、高い電圧が印加される不純物ウエル領域に接触させずに高濃度の一導電型不純物領域を形成できるため、高い電圧が印加される不純物ウエル領域の耐圧を上昇させることができることによる高性能化を、あるいは高い電圧が印加される不純物ウエル領域側に高濃度の一導電型不純物領域を設ける場合には、低い電圧が印加される不純物ウエル領域を低濃度の半導体基板に形成できるため、不純物ウエル領域の濃度をより低減できるので、低い電圧で駆動される素子の接合容量を減少させることができることによる高速化を可能にすることもできる。

[発明の効果]

以上説明のように本発明によれば、MIS及びBi-MIS型半導体装置において、異なる電圧が印加される2つの不純物ウエル領域間のリーク及びパンチスルーを抑制できることによる高性能

化を、一方の不純物ウエル領域の側面及び底面に沿って設けられる半導体基板より高濃度の一導電型不純物領域をセルフアラインに、微細に形成できることによる高集積化を、さらに低い電圧が印加される不純物ウエル領域側に高濃度の一導電型不純物領域を設ける場合には、高い電圧が印加される不純物ウエル領域の耐圧を上昇させることができることによる高性能化を、あるいは高い電圧が印加される不純物ウエル領域側に高濃度の一導電型不純物領域を設ける場合には、低い電圧が印加される不純物ウエル領域に形成される素子の接合容量を減少させることができることによる高速化を可能にすることができる。即ち、極めて高性能、高集積且つ高速な半導体集積回路の形成を可能とした半導体装置を得ることができる。

4. 図面の簡単な説明

第1図は本発明の半導体装置における第1の実例の模式側断面図、

第2図は本発明の半導体装置における第2の実

19

施例の模式側断面図、

第3図(a)～(e)は本発明の半導体装置における製造方法の一実施例の工程断面図、

第4図は従来の半導体装置の模式側断面図である。

図において、

- 1はp型シリコン基板、
- 2aは低電圧駆動部のn型不純物ウエル領域、
- 2bは高電圧駆動部のn型不純物ウエル領域、
- 3aは低電圧駆動部のn+型チャネルストッパー領域、
- 3bは高電圧駆動部のn+型チャネルストッパー領域、
- 4はp型不純物領域、
- 5aは低電圧駆動部のp+型ソースドレイン領域
- 5bは高電圧駆動部のp+型ソースドレイン領域
- 6はp型オフセット領域、
- 7aは低電圧駆動部のn+型不純物ウエルコンタ

クト領域、

7bは高電圧駆動部のn+型不純物ウエルコンタクト領域、

8はフィールド酸化膜、

9aは低電圧駆動部のゲート酸化膜、

9bは高電圧駆動部のゲート酸化膜、

10aは低電圧駆動部のゲート電極、

10bは高電圧駆動部のゲート電極、

11は不純物ブロック用酸化膜、

12は燐珪酸ガラス(PSG)膜、

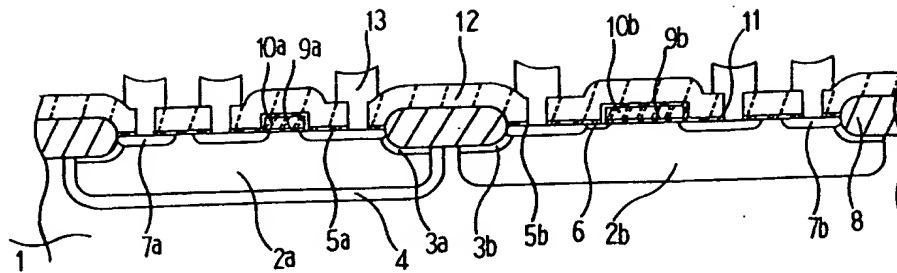
13はAl配線

を示す。

特許出願人 白土猛英

21

22

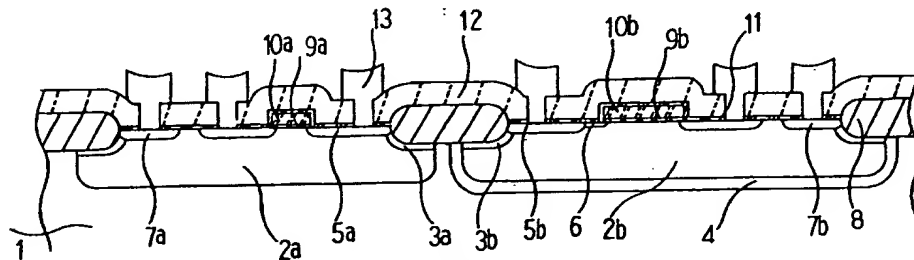


本発明の半導体装置における
第1の実施例の模式側断面図

第 1 図

- 1 は p-型シリコン基板
2a は低電圧駆動部の n 型不純物ウエル領域
2b は高電圧駆動部の n 型不純物ウエル領域
3a は低電圧駆動部の n+ 型チャネルストッパー領域
3b は高電圧駆動部の n+ 型チャネルストッパー領域
4 は p 型不純物領域
5a は低電圧駆動部の p+ 型ソースドレイン領域
5b は高電圧駆動部の p+ 型ソースドレイン領域
6 は p 型オフセット領域

- 7a は低電圧駆動部の n+ 型不純物ウエルコンタクト領域
7b は高電圧駆動部の n+ 型不純物ウエルコンタクト領域
8 はフィールド酸化膜
9a は低電圧駆動部のゲート酸化膜
9b は高電圧駆動部のゲート酸化膜
10a は低電圧駆動部のゲート電極
10b は高電圧駆動部のゲート電極
11 は不純物ブロック用酸化膜
12 は燐珪酸ガラス (PSG) 膜
13 は Al 配線

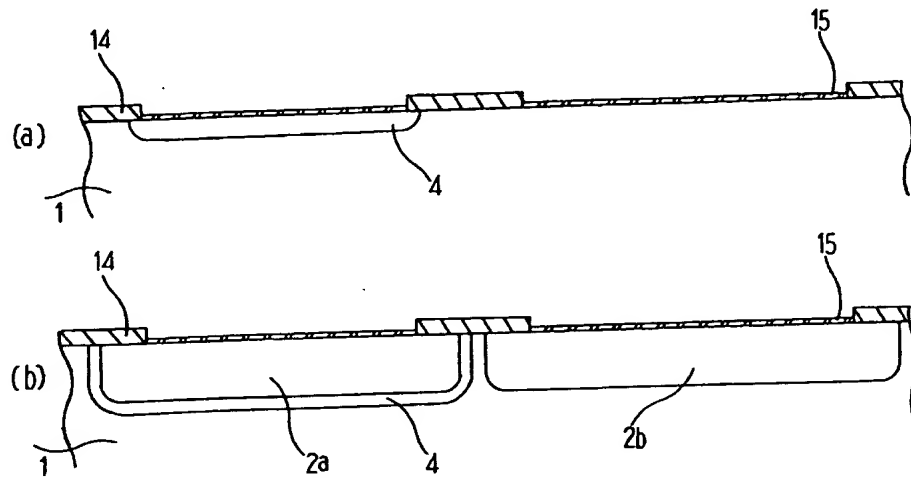


本発明の半導体装置における
第2の実施例の模式側断面図

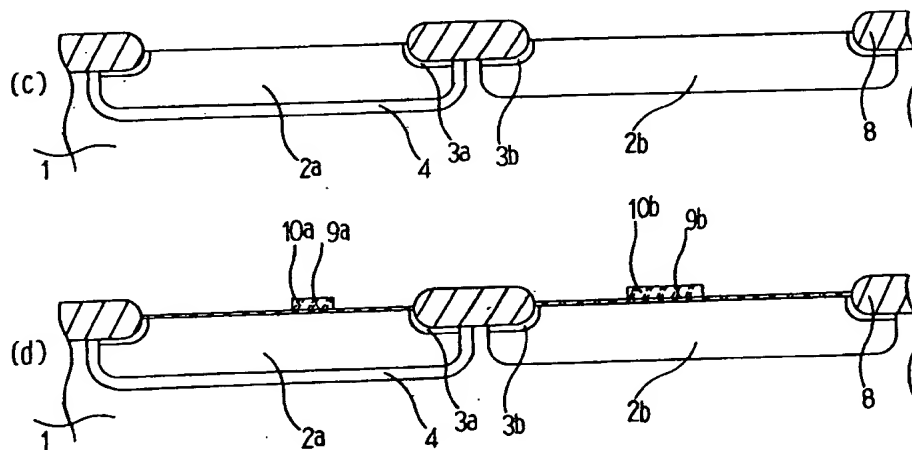
第 2 図

- 1 は p-型シリコン基板
2a は低電圧駆動部の n 型不純物ウエル領域
2b は高電圧駆動部の n 型不純物ウエル領域
3a は低電圧駆動部の n+ 型チャネルストッパー領域
3b は高電圧駆動部の n+ 型チャネルストッパー領域
4 は p 型不純物領域
5a は低電圧駆動部の p+ 型ソースドレイン領域
5b は高電圧駆動部の p+ 型ソースドレイン領域
6 は p 型オフセット領域

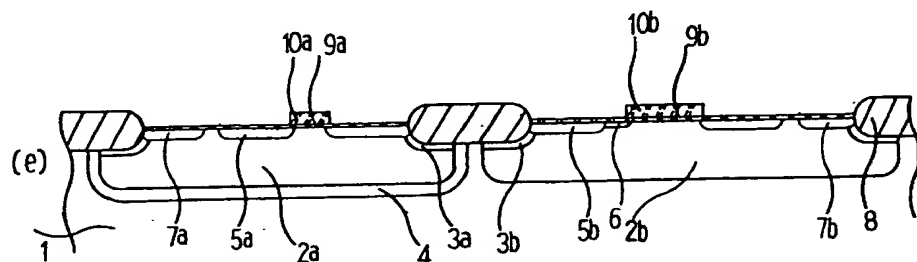
- 7a は低電圧駆動部の n+ 型不純物ウエルコンタクト領域
7b は高電圧駆動部の n+ 型不純物ウエルコンタクト領域
8 はフィールド酸化膜
9a は低電圧駆動部のゲート酸化膜
9b は高電圧駆動部のゲート酸化膜
10a は低電圧駆動部のゲート電極
10b は高電圧駆動部のゲート電極
11 は不純物ブロック用酸化膜
12 は燐珪酸ガラス (PSG) 膜
13 は Al 配線



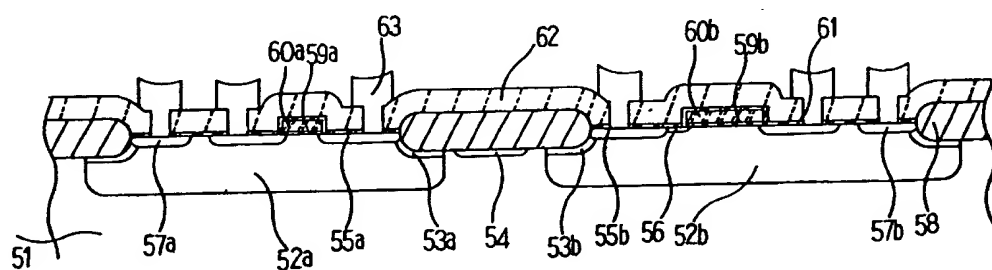
本発明の半導体装置における
製造方法の一実施例の工程断面図
第 3 図



本発明の半導体装置における
製造方法の一実施例の工程断面図
第 3 図



本発明の半導体装置における
製造方法の一実施例の工程断面図
第 3 図



従来の半導体装置の
模式側断面図
第 4 図